

Jc511 U.S. PRO
09/338473



대한민국 특허청

KOREAN INDUSTRIAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1998년 특허출원 제40587호
Application Number

출원년월일 : 1998년 9월 29일
Date of Application

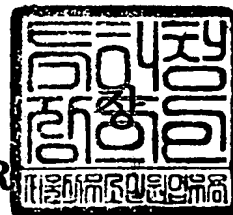
출원인 : 삼성전자주식회사
Applicant(s)



199 9 년 4 월 16 일

특 허 청

COMMISSIONER



특허출원서

【출원번호】 98-040587

【출원일자】 1998/09/29

【발명의 국문명칭】 이중 बैं크 스택을 구비한 전자 장치

【발명의 영문명칭】 ELECTRONIC APPARATUS WITH TWO BANK STACK

【출원인】

【국문명칭】 삼성전자 주식회사

【영문명칭】 SAMSUNG ELECTRONICS CO., LTD.

【대표자】 윤종용

【출원인코드】 14001979

【출원인구분】 국내상법상법인

【전화번호】 02-760-6048

【우편번호】 442-370

【주소】 경기도 수원시 팔달구 매탄동 416번지

【국적】 KR

【대리인】

【성명】 임창현

【대리인코드】 H361

【전화번호】 02-3453-7631

【우편번호】 135-080

【주소】 서울특별시 강남구 역삼동 827-53 상호빌딩 3층

【발명자】

【국문성명】 김용천

【영문성명】 KIM, YONG CHUN

【주민등록번호】 650915-1661424

【우편번호】 449-900

【주소】 경기도 용인시 기흥읍 농서리 산 24번지

【국적】 KR

【발명자】

【국문성명】 김홍규

【영문성명】 KIM, HONG KYU

【주민등록번호】 710222-1052411

【우편번호】 449-900

【주소】 경기도 용인시 기흥읍 농서리 산 24번지

【국적】 KR

【발명자】

【국문성명】 정세웅

【영문성명】 JEONG, SEH WOONG

【주민등록번호】 621010-1068939

【우편번호】 449-900

【주소】 경기도 용인시 기흥읍 농서리 산 24번지

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

임창현 (인)

【심사청구】 특허법 제60조의 규정에 의하여 위와 같이 출원심사를 청구합니다.

대리인

임창현 (인)

【수신처】 특허청장 귀하

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	16 면	16,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	14 항	557,000 원
【합계】	602,000 원	

【첨부서류】 1. 요약서, 명세서(및 도면) 각 1통

2. 출원서 부분, 요약서, 명세서(및 도면)을 포함하는 FD부분 1통

3. 위임장(및 동 번역문)

【요약서】

【요약】

개시되는 전자 장치는 외부로부터 입력되는 명령어를 디코딩하여 그에 대응하는 제어 신호를 출력하는 명령어 디코더와; 데이터 또는 어드레스를 저장하는 레지스터와; 비트 폭이 N 비트이고, 스택 포인터의 최하위 비트의 값에 따라 제 1 영역과 제 2 영역으로 분리되는 스택과; 상기 스택의 톱 위치를 지정하는 메인 스택 포인터를 저장하는 메인 스택 포인터 레지스터 및; 상기 명령어 디코더로부터 상기 스택에/으로부터 상기 데이터 또는 어드레스를 푸시/팝하기 위한 스택 명령어에 대응하는 상기 제어 신호가 입력될 때, 상기 제어 신호에 대응하는 값을 상기 메인 스택 포인터에 가/감산하여 상기 스택의 제 1 영역 및 제 2 영역의 톱 위치를 각각 지정하는 제 1 및 제 2 스택 포인터를 출력하는 스택 포인터 제어 수단을 포함한다. 상기 제어 신호가 $(2*N)$ 비트의 상기 데이터 또는 어드레스를 처리하기 위한 제어 신호일 때, 상기 전자 장치는 스택의 제 1 및 제 2 영역의 톱 위치와 상기 레지스터간의 데이터 또는 어드레스 전송을 병렬로 수행한다. 그 결과, $(2*N)$ 비트의 데이터 또는 어드레스를 비트 폭이 N 비트인 스택에/으로부터 푸시/팝해야 하는 전자 장치의 성능을 향상시킨다.

【대표도】

도 2

【명세서】

【발명의 명칭】

이중 뱅크 스택을 구비한 전자 장치(ELECTRONIC APPARATUS WITH TWO BANK STACK)

【도면의 간단한 설명】

도 1은 일반적인 스택의 구조를 보여주는 도면;

도 2는 본 발명의 바람직한 실시예에 따른 마이크로 프로세서의 내부 회로 구성 보여주는 블록도;

도 3은 도 2에 도시된 스택 포인터 제어부를 상세히 도시한 블록도;

도 4는 도 2에 도시된 스택 포인터 제어부의 더욱 바람직한 실시예를 상세히 보여주는 블록도; 그리고

도 5a 및 도 5b는 도 4에 도시된 스택 포인터 제어부에서 각 스택 명령어에 따른 스택 포인터의 변화를 보여주고 있다.

도면의 주요 부분에 대한 부호의 설명

10, 300 : 스택

20 : 스택 포인터

100 : 명령어 디코더

200 : 스택 포인터 제어 회로

210 : 메인 스택 포인터

220 : 스택 포인터 제어부

221 : 가감산기

222, 225, 226 : 멀티플렉서

223 : 증가기

224 : 제 1 선택 신호 제어부

227 : 제 2 선택 신호 제어부

251 : 증감기

252, 253, 254 : 멀티플렉서

230 : 뱅크 1 스택 포인터

240 : 뱅크 0 스택 포인터

400 : 레지스터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 마이크로 컨트롤러 유닛(microcontroller unit), 디지털 신호 처리기(digital signal processor)와 같이 스택(stack)을 구비한 전자 장치에 관한 것으로, 좀 더 구체적으로는 비트 폭이 N 비트인 스택에 2*N 비트의 데이터 또는 어드레스를 N 비트씩 병렬로 푸시/팝 할 수 있는 전자 장치에 관한 것이다.

마이크로 컨트롤러 유닛(Micro Controller Unit; MCU)이나 디지털 신호 처리기(Digital Signal Processor; DSP) 코어와 같은 프로그래머블 디바이스(programmable Device)에서 널리 사용되는 스택(stack)은 데이터 구조의 하나로서 후입선출(Last-In First-Out; LIFO) 방식으로 액세스된다. 상기 스택에서 데이터의 삽입 및 삭제가 일어나는 곳을 스택의 톱(top)이라 한다. 상기 스택의 톱에 데이터를 저장하는 것을 푸시(push)라 하고, 상기 스택의 탑(top)으로부터 데이터를 독출하여 삭제하는 것을 팝(pop)이라 한다. 상기 스택에는 오퍼랜드(operand), 연산 결과, 어드레스 포인터(address pointer), 서브루틴 파라미터(subroutine parameter) 그리고 서브루틴 호출(call)과 복귀(return)에 따른 레지스터 내용(register content) 등의 프로그램 데이터가 저장된다. 스택 포인터는 미리 정해진 절대 주소나 스택의 시작 주소를 가지는 다른 레지스터의 값을 기점으로 하여 현재 스택의 톱 위치를 가리킨다. 상기 스택 포인터는 푸시, 팝, 서브루틴의 호출

과 복귀 명령 그리고 인터럽트(interrupt) 호출 시에 그 값이 바뀐다.

상기 스택은 크게 나누어 2가지 형태로 구현 가능하다. 첫 번째는 소프트웨어적인 방법으로 기존의 데이터 메모리 공간에 스택의 영역을 할당해 사용하는 방법이 있으며 두 번째로 스택을 하드웨어로 직접 구현하여 칩(chip)속에 내장시켜 사용하는 방법이 있다.

소프트웨어적인 방법은 스택의 크기를 사용자가 원하는 만큼 사용할 수 있기 때문에 사용자가 쓰기에 편리하다. 그러나, 메모리를 스택으로 사용하기 때문에 하드웨어적인 방법보다 실행 속도가 느리고, 전력 소모가 많다는 단점이 있다.

반면, 하드웨어적인 방법은 일반적으로 스택의 크기가 작고 사용할 수 있는 크기가 고정되므로 사용자가 사용할 수 있는 범위가 제한되나 콘텍스트 스위칭(context switching)과 같이 다량의 스택을 동시에 사용하는 경우 속도가 빠를 뿐만 아니라 외부 메모리를 액세스하지 않기 때문에 전력 소모량이 적다는 장점이 있다. 따라서 저 전력이 요구되는 마이크로 프로세서 유닛이나 디지털 신호 처리기에서는 일반적으로 하드웨어적인 스택 구조를 갖는다.

8 비트(bit) 마이크로 컨트롤러 유닛의 경우 처리하는 데이터의 단위는 8 비트인데 반해 어드레스(address)는 16 비트 또는 그 이상이 되는 경우가 종종 있다. 이는 어드레스로 8 비트만을 사용할 경우 최대 프로그램의 크기가 256 이므로 원하는 프로그램을 저장하기에는 부족하기 때문이다. 따라서, 대부분의 8 비트 마이크로 컨트롤러 유닛은 16 비트 또는 그 이상의 비트 폭(bit width)을 갖는 어드레스를 사용하게 된다.

마이크로 컨트롤러 유닛 내에서 처리되는 데이터와 어드레스의 비트 폭이 다른 경우 스택을 사용하는 데에 있어서 문제가 발생한다. 즉, 내부의 데이터 레지스터(data register)에 저장된 데이터를 스택에 저장하거나(push), 스택에서 상기 데이터 레지스터로 가져올 경우(pop)에는 스택이 8 비트로 동작해야 하는데 반해, 어드레스 레지스터(address register)에 저장된 어드레스 값을 스택에 저장하거나(call, interrupt), 스택에서 상기 어드레스 레지스터로 가져올 경우(Return)에는 어드레스의 비트 폭인 16 비트나 그 이상의 비트로 동작하여야 한다. 만일, 어드레스의 비트 폭이 16 비트인 경우, 이를 상위 8 비트와 하위 8 비트로 나누어 두 번에 걸쳐서 푸시 및 팝 동작을 수행해야 한다. 따라서, 8 비트의 스택에/으로부터 16 비트의 어드레스를 푸시/팝 할 때 전자 장치의 성능은 크게 저하된다.

【발명이 이루고자 하는 기술적 과제】

따라서, 본 발명의 목적은 상술한 제반 문제점을 해결하기 위해 제안된 것으로, 비트 폭이 N 비트인 스택에 2*N 비트의 데이터 또는 어드레스를 N 비트씩 병렬로 푸시/팝할 수 있는 제어 회로를 갖는 전자 장치를 제공하는데 있다.

【발명의 구성 및 작용】

상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 특징에 의하면, 전자 장치는: 외부로부터 입력되는 명령어를 디코딩하여 그에 대응하는 제어 신호를 출력하는 명령어 디코더와; 데이터 또는 어드레스를 저장하는 레지스터와; 비트 폭이 N 비트이고, 스택 포인터의 최하위 비트의 값에 따라 제 1 영역과 제 2 영역으로 분리되는 스택과; 상기 스택의 톱 위치를 지정하는 메인 스택 포인터를 저장하는

메인 스택 포인터 레지스터 및; 상기 명령어 디코더로부터 상기 스택에/으로부터 상기 데이터 또는 어드레스를 푸시/팝하기 위한 스택 명령어에 대응하는 상기 제어 신호가 입력될 때, 상기 제어 신호에 대응하는 값을 상기 메인 스택 포인터에 가/감산하여 상기 스택의 제 1 영역 및 제 2 영역의 톱 위치를 각각 지정하는 제 1 및 제 2 스택 포인터를 출력하는 스택 포인터 제어 수단을 포함하되, 상기 제어 신호가 $(2*N)$ 비트의 상기 데이터 또는 어드레스를 처리하기 위한 명령어일 때, 상기 스택의 제 1 및 제 2 영역의 톱 위치와 상기 레지스터간의 데이터 또는 어드레스 전송을 병렬로 수행한다.

바람직한 실시예에 있어서, 상기 스택 포인터 제어 수단은, 상기 제 1 스택 포인터를 저장하기 위한 제 1 스택 포인터 레지스터와; 상기 제 2 스택 포인터를 저장하기 위한 제 2 스택 포인터 레지스터를 포함한다.

이 실시예에 있어서, 상기 스택 포인터 제어 수단은, 상기 제어 신호가 N 비트 또는 $(2*N)$ 비트의 상기 데이터 또는 어드레스를 처리하기 위한 제어 신호일 때, 십진수 1 또는 2를 상기 메인 스택 포인터에 가/감산하는 가감산 수단과; 상기 제어 신호에 응답하여 상기 메인 스택 포인터 레지스터에 저장된 메인 스택 포인터와 상기 가감산 수단으로부터 출력되는 스택 포인터 가운데 하나를 선택적으로 출력하는 제 1 선택 수단과; 상기 선택 수단으로부터 출력되는 스택 포인터의 값을 1 만큼 증가시키는 증가기와; 제 1 및 제 2 선택 신호에 응답하여 상기 선택 수단과 상기 증가기로부터 입력되는 스택 포인터를 선택적으로 상기 제 1 및 제 2 스택 포인터 레지스터로 출력하는 제 2 선택 수단과; 상기 선택 수단으로부터 출력되는 스택 포

인터와 상기 제어 신호를 입력받아 그에 대응하는 상기 제 1 및 제 2 선택 신호를 출력하는 선택 신호 제어 수단을 포함한다.

이 실시예에 있어서, 상기 제 2 선택 수단은, 상기 제 1 선택 신호에 응답하여, 상기 선택 수단과 상기 증가기로부터 입력되는 스택 포인터를 선택적으로 상기 제 1 스택 포인터 레지스터로 출력하는 제 1 스택 포인터 선택 수단과; 상기 제 2 선택 신호에 응답하여, 상기 선택 수단과 상기 증가기로부터 입력되는 스택 포인터를 선택적으로 상기 제 2 스택 포인터 레지스터로 출력하는 제 2 스택 포인터 선택 수단을 포함한다.

이 실시예에 있어서, 상기 제 1 스택 포인터 선택 수단은, 상기 제 1 선택 신호가, 상기 제 1 선택 수단으로부터 출력되는 스택 포인터가 상기 스택의 제 1 영역을 지정함을 나타낼 때, 상기 제 1 선택 수단으로부터 입력되는 스택 포인터를 선택하고, 상기 제 2 선택 신호가, 상기 제 1 선택 수단으로부터 출력되는 스택 포인터가 상기 스택의 제 2 영역을 지정하고 상기 제어 신호가 $(2*N)$ 비트의 데이터 또는 어드레스를 처리하기 위한 제어 신호임을 나타낼 때, 상기 증가기로부터 입력되는 스택 포인터를 선택하여 상기 제 1 스택 포인터 레지스터로 출력한다.

이 실시예에 있어서, 상기 제 2 스택 포인터 선택 수단은, 상기 제 2 선택 신호가, 상기 제 1 선택 수단으로부터 출력되는 스택 포인터가 상기 스택의 제 2 영역을 지정함을 나타낼 때, 상기 제 1 선택 수단으로부터 입력되는 스택 포인터를 선택하고, 상기 제 2 선택 신호가, 상기 제 1 선택 수단으로부터 출력되는 스택 포인터가 제 1 영역을 지정하고 상기 제어 신호가 $(2*N)$ 비트의 데이터 또는 어드레스를 처

리하기 위한 제어 신호임을 나타낼 때, 상기 증가기로부터 입력되는 스택 포인터를 선택하여 상기 제 2 스택 포인터 레지스터로 출력한다.

이 실시예에 있어서, 상기 메인 스택 포인터 레지스터는 상기 가감산 수단으로부터 출력되는 스택 포인터로 업데이트된다.

바람직한 실시예에 있어서, 상기 스택 포인터 제어 수단은, 상기 제어 신호가 상기 스택에/으로부터 상기 데이터 또는 어드레스를 푸시/팝하기 위한 제어 신호일 때, 상기 메인 스택 포인터의 상위 (N-1) 비트의 스택 포인터에 1 만큼 가/감산하는 증감기와; 제 1 선택 신호에 응답하여 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 (N-1) 비트와 상기 증감기로부터 입력되는 스택 포인터를 선택적으로 상기 메인 스택 포인터 레지스터로 출력하는 제 1 선택 수단과; 제 2 및 제 3 선택 신호에 응답하여, 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 (N-1) 비트와 상기 증감기로부터 입력되는 스택 포인터를 선택적으로 상기 제 1 및 제 2 스택 포인터 레지스터로 출력하는 제 2 선택 수단 및; 상기 메인 스택 포인터의 최하위 비트의 값과 상기 제어 신호를 입력받아 그에 대응하는 상기 제 1, 제 2 및 제 3 선택 신호를 출력하는 선택 신호 제어 수단을 포함한다.

이 실시예에 있어서, 상기 스택은, 상기 메인 스택 포인터의 최하위 비트의 값이 1 인 영역을 제 1 영역으로, 상기 메인 스택 포인터의 최하위 비트의 값이 0 인 영역을 제 2 영역으로 분리된다.

이 실시예에 있어서, 상기 제 1 선택 수단은, 상기 메인 스택 포인터가 상기 스택

의 제 1 영역을 지정하고, 상기 제어 신호가 N 비트의 데이터 또는 어드레스를 상기 스택으로부터 팝하기 위한 신호임을 나타내는 상기 제 1 선택 신호가 입력되거나, 상기 메인 스택 포인터가 상기 스택의 제 2 영역을 지정하고, 상기 제어 신호가 N 비트의 데이터 또는 어드레스를 상기 스택에 푸시하기 위한 신호임을 나타내는 상기 제 1 선택 신호가 입력될 때, 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 (N-1) 비트를 선택하고, 그 밖의 경우를 나타내는 상기 제 1 선택 신호가 입력될 때, 상기 증감기로부터 입력되는 스택 포인터를 선택하여 상기 메인 스택 포인터 레지스터로 출력한다.

이 실시예에 있어서, 상기 제 2 선택 수단은, 상기 제 2 선택 신호에 응답하여, 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 (N-1) 비트와 상기 증감기로부터 입력되는 스택 포인터를 선택적으로 상기 제 1 스택 포인터 레지스터로 출력하는 제 1 스택 포인터 선택 수단과; 상기 제 3 선택 신호에 응답하여, 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 (N-1) 비트와 상기 증감기로부터 입력되는 스택 포인터를 선택적으로 상기 제 2 스택 포인터 레지스터로 출력하는 제 2 스택 포인터 선택 수단을 포함한다.

이 실시예에 있어서, 상기 제 1 스택 포인터 선택 수단은, 상기 제어 신호가 상기 스택에 상기 데이터 또는 어드레스를 푸시하는 명령어임을 나타내는 상기 제 2 선택 신호가 입력될 때, 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 (N-1) 비트를 선택하고, 상기 제어 신호가 상기 스택으로부터 상기 데이터 또는 어드레스를 팝하는 명령어임을 나타내는 상기 제 2 선택 신호가 입력될 때, 상

기 증감기로부터 입력되는 스택 포인터를 선택하여 상기 제 1 스택 포인터로 출력한다.

이 실시예에 있어서, 상기 제 2 스택 포인터 선택 수단은, 상기 메인 스택 포인터가 상기 스택의 제 1 영역을 지정하고, 상기 제어 신호가 상기 스택으로부터 상기 데이터 또는 어드레스를 팝하는 명령어임을 나타내는 상기 제 3 선택 신호가 입력되거나, 상기 메인 스택 포인터가 상기 스택의 제 1 영역을 지정하고, 상기 제어 신호가 상기 스택으로부터 상기 데이터 또는 어드레스를 푸시하는 명령어임을 나타내는 상기 제 3 선택 신호가 입력될 때, 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 (N-1) 비트를 선택하고, 상기 메인 스택 포인터가 상기 스택의 제 1 영역을 지정하고, 상기 제어 신호가 상기 스택에 상기 데이터 또는 어드레스를 푸시하는 명령어임을 나타내는 상기 제 3 선택 신호가 입력되거나, 상기 메인 스택 포인터가 상기 스택의 제 2 영역을 지정하고, 상기 제어 신호가 상기 스택으로부터 상기 데이터 또는 어드레스를 팝하는 명령어임을 나타내는 상기 제 3 선택 신호가 입력될 때, 상기 증감기로부터 입력되는 스택 포인터를 선택하여 상기 제 2 스택 포인터 레지스터로 출력한다.

이 실시예에 있어서, 상기 메인 스택 포인터 레지스터의 최하위 비트는 상기 제어 신호가 N 비트의 상기 어드레스 및 데이터를 처리하는 명령어일 때 토글된다.

(실시예 1)

이하 본 발명에 따른 일 실시예를 첨부된 도면 도 2 내지 도 3을 참조하여 상세히 설명한다.

본 발명의 신규한 전자 장치는 외부로부터 입력되는 명령어를 디코딩하여 그에 대응하는 제어 신호를 출력하는 명령어 디코더와; 데이터 또는 어드레스를 저장하는 레지스터와; 비트 폭이 N 비트이고, 스택 포인터의 최하위 비트의 값에 따라 제 1 영역과 제 2 영역으로 분리되는 스택과; 상기 스택의 톱 위치를 지정하는 메인 스택 포인터를 저장하는 메인 스택 포인터 레지스터 및; 상기 명령어 디코더로부터 상기 스택에/으로부터 상기 데이터 또는 어드레스를 푸시/팝하기 위한 스택 명령어에 대응하는 상기 제어 신호가 입력될 때, 상기 제어 신호에 대응하는 값을 상기 메인 스택 포인터에 가/감산하여 상기 스택의 제 1 영역 및 제 2 영역의 톱 위치를 각각 지정하는 제 1 및 제 2 스택 포인터를 출력하는 스택 포인터 제어 수단을 포함한다. 상기 제어 신호가 $(2*N)$ 비트의 상기 데이터 또는 어드레스를 처리하기 위한 제어 신호일 때, 상기 전자 장치는 스택의 제 1 및 제 2 영역의 톱 위치와 상기 레지스터간의 데이터 또는 어드레스 전송을 병렬로 수행한다. 그 결과, $(2*N)$ 비트의 데이터 또는 어드레스를 비트 폭이 N 비트인 스택에/으로부터 푸시/팝해야 하는 전자 장치의 성능을 향상시킨다.

도 2는 본 발명의 바람직한 실시예에 따른 마이크로 프로세서의 내부 회로 구성을 블록적으로 보여주고 있다.

도 2를 참조하면, 마이크로 프로세서는 기억 장치로부터 입력되는 명령어의 연산 코드(Operation Code)를 해독하여 그에 대응하는 제어 신호를 출력하는 명령어 디코더(100)와 데이터 또는 어드레스를 저장하는 레지스터(400) 및 상기 명령어 디코더로부터 스택(300)에/으로부터 데이터 또는 어드레스를 푸시/팝하기 위한 스택 명

령어(stack instruction)가 입력될 때, 상기 레지스터(400)에 저장된 데이터 또는 어드레스를 임시 저장하거나, 임시 저장된 데이터를 상기 레지스터(400)로 송출하는 스택부(1000)를 포함한다.

상기 스택부(1000)는 스택(300)과 상기 스택(300)의 톱 위치를 지정하는 스택 포인터 제어 회로(200)를 포함한다. 상기 스택(300)은 비트 폭(bit width)이 8 비트이고, 최대 32 개의 데이터를 저장할 수 있다. 최대 32 개의 데이터를 저장하는 스택의 메인 스택 포인터는 5 비트의 비트 폭을 갖는다. 상기 스택은 상기 메인 스택 포인터의 최하위 비트의 값에 따라 뱅크 0(bank 0)과 뱅크 1(bank 1)로 분리된다. 즉, 메인 스택 포인터의 최하위 비트가 '0' 인 스택은 뱅크 0이 되고, 메인 스택 포인터의 최하위 비트가 '1' 인 스택은 뱅크 1이 된다. 따라서, 뱅크 0 및 뱅크 1 스택 포인터는 4비트가 된다. 상기 뱅크 0 스택 포인터 및 뱅크 1 스택 포인터는 각각 뱅크 0 및 뱅크 1 스택의 탑(Top Of Stack; TOS)을 가리키고 있다. 이 실시예에서 상기 스택 포인터는 데이터가 저장된 탑 위치의 어드레스에 1을 더한 곳을 지정한다. 따라서, 스택에서 데이터를 푸시할 때에는 푸시한 후 스택 포인터를 1 만큼 증가시키고, 반대로 스택에서 데이터를 팝할 때에는 1 만큼 감소시킨 후 팝한다.

상기 스택 포인터 제어 회로(200)는 상기 스택(300)의 톱 위치를 지정하는 메인 스택 포인터를 저장하는 메인 스택 포인터 레지스터(210)와 상기 명령어 디코더(100)로부터 상기 스택 명령어가 입력될 때, 상기 스택 명령어에 대응하는 값을 상기 메인 스택 포인터에 가/감산하여 상기 스택의 뱅크 0과 뱅크 1의 톱 위치를 각각 지

정하는 뱅크 0 스택 포인터 및 뱅크 1 스택 포인터를 출력하는 스택 포인터 제어부(220)와 상기 뱅크 0 스택 포인터를 저장하기 위한 뱅크0 스택 포인터 레지스터(240) 및 뱅크 1 스택 포인터를 저장하기 위한 뱅크 1 스택 포인터 레지스터(230)를 포함한다. 상기 스택 포인터 제어 회로(200)에 관한 보다 상세한 설명은 이하도 3을 참조하여 상세히 설명한다.

도 3은 도 2에 도시된 스택 포인터 제어부를 상세히 도시한 블록도이다.

도 3을 참조하면, 스택 포인터 제어 회로(200)는 메인 스택 포인터 레지스터(210)와 스택 포인터 제어부(220a), 뱅크 0 스택 포인터(240) 및 뱅크 1 스택 포인터(230)를 포함한다. 상기 스택 포인터 제어부(220a)는 가감산기(221)와 증가기(incrementer)(223)와 제 1 및 제 2 선택 신호 제어부(224) 그리고 세 개의 멀티플렉서(multiplexer)(222, 225, 226)를 포함한다.

상기 가감산기(221)는 상기 스택 명령어가 8 비트 또는 16 비트의 상기 데이터 또는 어드레스를 처리하기 위한 명령어일 때, 십진수 1 또는 2를 상기 메인 스택 포인터에 가/감산한다. 즉, 8 비트의 데이터 또는 어드레스를 상기 스택(300)에 푸시할 때 1을 상기 메인 스택 포인터에 더하고, 8 비트의 데이터 또는 어드레스를 상기 스택(300)에서 팝할 때 상기 메인 스택 포인터에서 1을 뺀다. 16 비트의 데이터 또는 어드레스를 상기 스택(300)에 푸시할 때 2를 상기 메인 스택 포인터에 더하고, 16 비트의 데이터 또는 어드레스를 상기 스택(300)에서 팝할 때 상기 메인 스택 포인터에서 2를 뺀다.

제 1 멀티플렉서(222)는 명령어 디코더(100)로부터 입력되는 스택 명령어에 응답하

여 상기 메인 스택 포인터 레지스터(210)에 저장된 메인 스택 포인터와 상기 가감산기(221)로부터 출력되는 스택 포인터 가운데 하나를 선택적으로 출력한다.

이 실시예에서 스택 포인터는 데이터가 저장된 스택의 톱에 1을 더한 곳을 지정하고 있으므로, 푸시 명령어일 때에는 데이터를 상기 스택(300)의 톱 위치에 푸시한 후 스택 포인터를 증가시킨다. 팝 명령어일 때에는 스택 포인터를 감소시킨 후 상기 스택(300)의 톱 위치로부터 데이터를 팝한다. 따라서, 명령어 디코더(100)로부터 입력되는 제어 신호가 푸시 명령어를 나타낼 때, 상기 제 1 선택 수단(222)은 메인 스택 포인터 레지스터(210)의 스택 포인터를 출력한다. 상기 제어 신호가 팝 명령어를 나타낼 때, 상기 제 1 멀티플렉서(222)는 상기 가감산기(221)로부터 입력되는 스택 포인터를 출력한다.

상기 증가기(223)는 상기 제 1 멀티플렉서(222)로부터 출력되는 스택 포인터의 값을 1 만큼 증가시킨다.

상기 제 2 멀티플렉서(225)는 제 1 선택 신호 제어부(224)로부터 입력되는 제 1 선택 신호에 응답하여 상기 제 1 멀티플렉서(222)와 상기 증가기(223)로부터 입력되는 스택 포인터를 선택적으로 상기 뱅크 1 스택 포인터 레지스터(230)로 출력한다.

상기 제 3 멀티플렉서(226)는 제 2 선택 신호 제어부(227)로부터 입력되는 제 2 선택 신호에 응답하여 상기 제 1 멀티플렉서(222)와 상기 증가기(223)로부터 입력되는 스택 포인터를 선택적으로 상기 뱅크 0 스택 포인터 레지스터(240)로 출력한다.

상기 제 1 및 제 2 선택 신호 제어부(224, 227)는 상기 제 1 멀티플렉서(222)로부터 출력되는 스택 포인터와 상기 명령어 디코더(100)로부터 입력되는 제어 신호에

응답하여 상기 제 1 및 제 2 선택 신호를 출력한다.

계속해서, 상기 제 1 및 제 2 선택 신호에 의해 상기 제 2 및 제 3 멀티플렉서(225, 226)가 상기 제 1 멀티플렉서(222)와 상기 증가기(223)로부터 입력되는 스택 포인터를 선택적으로 출력하는 것을 상세히 설명한다.

상기 제 1 멀티플렉서(222)로부터 출력되는 스택 포인터의 최하위 비트가 '1'일 때 즉, 상기 스택 포인터가 뱅크 1을 지정할 때, 상기 제 1 선택 신호 제어부(224)는 상기 제 1 멀티플렉서(222)로부터 입력되는 스택 포인터를 선택하기 위한 상기 제 1 선택 신호를 출력한다. 반면, 상기 제 1 멀티플렉서(222)로부터 출력되는 스택 포인터의 최하위 비트가 '0'일 때 즉, 상기 스택 포인터가 뱅크 0을 지정하고, 상기 명령어 디코더(100)로부터 16 비트의 데이터 또는 어드레스를 스택(300)에/으로부터 푸시/팝하기 위한 스택 명령어가 입력될 때, 상기 제 2 선택 신호 제어부(227)는 상기 증가기(223)로부터 입력되는 스택 포인터를 선택하기 위한 상기 제 1 선택 신호를 출력한다.

상기 제 1 멀티플렉서(222)로부터 출력되는 스택 포인터의 최하위 비트가 '0'일 때 즉, 상기 스택 포인터가 뱅크 0을 지정할 때, 상기 제 2 선택 신호 제어부(227)는 상기 제 1 멀티플렉서(222)로부터 입력되는 스택 포인터를 선택하기 위한 상기 제 2 선택 신호를 출력한다. 반면, 상기 제 1 멀티플렉서(222)로부터 출력되는 스택 포인터의 최하위 비트가 '1'일 때 즉, 상기 스택 포인터가 뱅크 1을 지정하고, 상기 명령어 디코더(100)로부터 16 비트의 데이터 또는 어드레스를 스택(300)에/으로부터 푸시/팝하기 위한 스택 명령어가 입력될 때, 상기 제 2 선택 신호 제어부

(227)는 상기 증가기(223)로부터 입력되는 스택 포인터를 선택하기 위한 상기 제 2 선택 신호를 출력한다.

다시 말하면, 8 비트의 데이터 또는 어드레스를 상기 스택에/으로부터 푸시/팝하기 위한 스택 명령어가 입력될 때, 상기 제 1 멀티플렉서(222)로부터 출력되는 스택 포인터가 지정하는 뱅크가 액세스되고, 상기 스택 포인터가 지정하는 스택(300)의 탑 위치에/로부터 상기 데이터 또는 어드레스가 푸시/팝된다.

16 비트의 데이터 또는 어드레스를 상기 스택에/으로부터 푸시/팝하기 위한 스택 명령어가 입력될 때에는 스택(300)의 뱅크 0 및 뱅크 1이 동시에 액세스되어 병렬로 데이터를 푸시/팝해야 한다. 16 비트의 데이터 또는 어드레스 가운데 하위 8 비트와 상위 8 비트는 각각 상기 제 1 멀티플렉서(222)로부터 출력되는 스택 포인터와 상기 증가기(223)로부터 출력되는 스택 포인터가 각각 지정하는 스택의 탑 위치에/로부터 푸시/팝된다. 상기 제 1 멀티플렉서(222)로부터 출력되는 스택 포인터가 뱅크 1을 지정하는 경우, 상기 제 2 멀티플렉서(224)는 상기 제 1 멀티플렉서(222)로부터 입력되는 스택 포인터를 선택하고, 상기 제 3 멀티플렉서(226)는 상기 증가기(223)로부터 입력되는 스택포인터를 선택한다. 즉, 뱅크 1 스택 포인터가 상위 포인터로 지정되고, 뱅크 0 스택 포인터가 하위 포인터로 지정된다.

반대로, 상기 제 1 멀티플렉서(222)로부터 출력되는 스택 포인터가 뱅크 0을 지정하는 경우, 상기 제 2 멀티플렉서(224)는 상기 증가기(223)로부터 입력되는 스택 포인터를 선택하고, 상기 제 3 멀티플렉서(226)는 상기 제 1 멀티플렉서(222)로부터 입력되는 스택포인터를 선택한다. 즉, 뱅크 0 스택 포인터가 상위 포인터로 지

정되고, 뱅크 1 스택 포인터가 하위 포인터로 지정된다.

상기 메인 스택 포인터 레지스터(210)는 상기 가감산기(221)로부터 출력되는 스택 포인터로 업데이트되어 다음 스택 액세스를 위한 스택 포인터가 된다.

(실시예 2)

이하 본 발명에 따른 다른 실시예를 첨부된 도면 도 2 및 도 4 내지 도 5를 참조하여 상세히 설명한다.

도 4는 도 2에 도시된 스택 포인터 제어 회로의 더욱 바람직한 실시예를 상세히 보여주는 블록도이다.

도 4에 도시된 바와 같이, 스택 포인터 제어 회로(200b)는 메인 스택 포인터 레지스터(210)와 스택 포인터 제어부(220b), 뱅크 0 스택 포인터(240) 및 뱅크 1 스택 포인터(230)를 포함한다. 상기 스택 포인터 제어부(220b)는 증감기(251)와 세 개의 멀티플렉서(252, 253, 254) 그리고 선택 신호 제어부(255)를 포함하여, 도 3에 도시된 스택 포인터 제어 회로(200a)보다 간단한 회로 구성을 갖는다.

상기 증감기(251)는 상기 명령어 디코더(100)로부터 입력되는 제어 신호가 상기 스택에 데이터 또는 어드레스를 푸시하기 위한 명령어일 때, 상기 메인 스택 포인터의 상위 4 비트의 스택 포인터에 1을 가산한다. 또한, 상기 증감기(251)는 상기 명령어 디코더(100)로부터 입력되는 제어 신호가 상기 스택에 데이터 또는 어드레스를 팝하기 위한 명령어일 때, 상기 메인 스택 포인터의 상위 4 비트의 스택 포인터에서 1을 감산한다.

제 1 멀티플렉서(252)는 상기 선택 신호 제어부(255)로부터 입력되는 제 1 선택 신

호에 응답하여, 상기 메인 스택 포인터 레지스터(210)로부터 입력되는 스택 포인터의 상위 4 비트와 상기 증감기(251)로부터 입력되는 스택 포인터를 선택적으로 상기 메인 스택 포인터 레지스터(210)로 출력한다.

제 2 멀티플렉서(253)는 상기 선택 신호 제어부(255)로부터 입력되는 제 2 선택 신호에 응답하여, 상기 메인 스택 포인터 레지스터(210)로부터 입력되는 스택 포인터의 상위 4 비트와 상기 증감기(251)로부터 입력되는 스택 포인터를 선택적으로 상기 뱅크 1 스택 포인터 레지스터(230)로 출력한다.

제 3 멀티플렉서(254)는 상기 선택 신호 제어부(255)로부터 입력되는 제 3 선택 신호에 응답하여, 상기 메인 스택 포인터 레지스터(210)로부터 입력되는 스택 포인터의 상위 4 비트와 상기 증감기(251)로부터 입력되는 스택 포인터를 선택적으로 상기 뱅크 2 스택 포인터 레지스터(240)로 출력한다.

상기 선택 신호 제어부(255)는 상기 메인 스택 포인터의 최하위 비트의 값과 명령어 디코더(100)로부터 상기 제어 신호를 입력받아 그에 대응하는 상기 제 1, 제 2 및 제 3 선택 신호를 출력한다.

계속해서, 상기 제 1, 제 2 및 제 3 선택 신호에 의해 제 1, 제 2 및 제 3 멀티플렉서(252, 253, 254)가 상기 메인 스택 포인터 레지스터(210)로부터 입력되는 스택 포인터의 상위 4 비트와 상기 증감기(251)로부터 입력되는 스택 포인터를 선택적으로 출력하는 것을 상세히 설명한다.

상기 메인 스택 포인터 레지스터(210)의 최하위 비트가 '1'일 때 즉, 상기 메인 스택 포인터가 상기 스택의 뱅크 1을 지정하고, 상기 명령어 디코더(100)로부터 입력

되는 제어 신호가 8 비트의 데이터 또는 어드레스를 상기 스택으로부터 팝하기 위한 신호일 때, 상기 선택 신호 제어부(255)는 상기 메인 스택 포인터 레지스터(210)로부터 입력되는 스택 포인터의 상위 (N-1) 비트를 선택하기 위한 상기 제 1 선택 신호를 상기 제 1 멀티플렉서(252)로 제공한다. 또한, 상기 메인 스택 포인터가 상기 스택의 뱅크 0을 지정하고, 상기 제어 신호가 8 비트의 데이터 또는 어드레스를 상기 스택에 푸시하기 위한 신호일 때, 상기 선택 신호 제어부(255)는 상기 메인 스택 포인터 레지스터(210)로부터 입력되는 스택 포인터의 상위 (N-1) 비트를 선택하기 위한 상기 제 1 선택 신호를 상기 제 1 멀티플렉서(252)로 제공한다.

그 밖의 경우 즉, 상기 제어 신호가 16 비트의 데이터 또는 어드레스를 상기 스택에 푸시하기 위한 제어 신호이거나, 상기 메인 스택 포인터가 상기 스택의 뱅크 0을 지정하고, 상기 제어 신호가 8 비트의 데이터 또는 어드레스를 상기 스택으로부터 팝하기 위한 신호일 때, 그리고, 상기 메인 스택 포인터가 상기 스택의 뱅크 1을 지정하고, 상기 제어 신호가 8 비트의 데이터 또는 어드레스를 상기 스택에 푸시하기 위한 신호일 때, 상기 증감기(251)로부터 입력되는 스택 포인터를 선택하기 위한 상기 제 1 선택 신호를 상기 제 1 멀티플렉서(252)로 제공한다.

제 1 멀티플렉서(252)는 상기 선택 신호 제어부(255)로부터 입력되는 제 1 선택 신호에 응답하여, 상기 메인 스택 포인터 레지스터(210)로부터 입력되는 스택 포인터의 상위 4 비트와 상기 증감기(251)로부터 입력되는 스택 포인터를 선택적으로 상기 메인 스택 포인터 레지스터(210)로 출력한다.

상기 제 2 멀티플렉서(253)는 상기 제어 신호가 상기 스택(300)에 상기 데이터 또는 어드레스를 푸시하는 명령어임을 나타내는 상기 제 2 선택 신호가 입력될 때, 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 4 비트를 선택한다. 또한, 상기 제어 신호가 상기 스택(300)으로부터 상기 데이터 또는 어드레스를 팝하는 명령어임을 나타내는 상기 제 2 선택 신호가 입력될 때, 상기 증감기(251)로부터 입력되는 스택 포인터를 선택하여 상기 뱅크 1 스택 포인터 레지스터(230)로 출력한다.

상기 제 2 멀티플렉서(254)는 상기 메인 스택 포인터가 상기 스택의 뱅크 1을 지정하고, 상기 제어 신호가 상기 스택으로부터 상기 데이터 또는 어드레스를 팝하는 명령어임을 나타내는 상기 제 3 선택 신호가 입력되거나, 상기 메인 스택 포인터가 상기 스택의 제 1 영역을 지정하고, 상기 제어 신호가 상기 스택으로부터 상기 데이터 또는 어드레스를 푸시하는 명령어임을 나타내는 상기 제 3 선택 신호가 입력될 때, 상기 메인 스택 포인터 레지스터(210)로부터 입력되는 스택 포인터의 상위 4 비트를 선택한다. 상기 메인 스택 포인터가 상기 스택의 뱅크 1을 지정하고, 상기 제어 신호가 상기 스택(300)에 상기 데이터 또는 어드레스를 푸시하는 명령어임을 나타내는 상기 제 3 선택 신호가 입력되거나, 상기 메인 스택 포인터가 상기 스택의 뱅크 0을 지정하고, 상기 제어 신호가 상기 스택(300)으로부터 상기 데이터 또는 어드레스를 팝하는 명령어임을 나타내는 상기 제 3 선택 신호가 입력될 때, 상기 증감기(251)로부터 입력되는 스택 포인터를 선택하여 상기 뱅크 0 스택 포인터 레지스터(240)로 출력한다.

상기 메인 스택 포인터 레지스터(210)의 최하위 비트는 상기 제어 신호가 8 비트의 상기 어드레스 및 데이터를 처리하는 명령어일 때 토글(toggle)된다.

다시 도 4를 참조하면, 본 발명의 이중 뱅크 구조의 스택을 제어하기 위한 스택 포인터 제어부(220b)는 스택 포인터(210)의 상위 4비트에 1을 가산 또는 감산하기 위한 가감산기(2)와, 세 개의 멀티플렉서(2, 2, 2)들로 구성된다. 각 뱅크의 스택 포인터와 업데이트(update)될 스택 포인터의 값이 동시에 +1 또는 -1로 변경되는 경우가 없다는 특성을 이용하여 하나의 가감산기만으로 각 뱅크에 대한 포인터 값을 구할 수 있다. 또, 전체 스택의 크기는 32 이지만 각 뱅크의 크기는 16 이므로, 스택 포인터의 전체 5 비트를 이용하지 않고 상위 4 비트를 각 뱅크의 스택 포인터로 하고, 최하위 비트는 뱅크를 선택하는데 이용한다. 스택의 어드레스를 지정하기 위해 5 비트 전체를 사용할 경우에는 +1, +2, -1, -2를 하기 위해 5 비트의 가감산기가 필요하나 상위 4 비트만을 이용할 경우, +1, -1 만을 수행할 수 있으면 되므로 4 비트 가감산기로 구현이 가능하다.

다음 도 5a 및 도 5b는 상술한 스택 포인터 제어 회로(200b)의 뱅크 0 스택 포인터와 뱅크 1 스택 포인터, 메인 스택 포인터의 상위 4 비트 그리고 메인 스택 포인터의 최하위 비트의 값이 변화되는 것을 요약해 보여주고 있다.

도 5a는 메인 스택 포인터의 최하위 비트가 '0'일 때 즉, 메인 스택 포인터가 뱅크 0을 지정할 때, 각 스택 명령어에 따른 스택 포인터의 변화를 보여주고 있다.

도 5b는 메인 스택 포인터의 최하위 비트가 '1'일 때 즉, 메인 스택 포인터가 뱅크 0을 지정할 때, 각 스택 명령어에 따른 스택 포인터의 변화를 보여주고 있다.

상기 도 5a 및 도 5b에서 푸시(push)와 팝(pop) 명령은 각각 8 비트 데이터를 스택에/으로부터 푸시/팝하는 명령어이고, 호출(call)과 복귀(return) 명령은 각각 16 비트 어드레스를 스택에/으로부터 푸시/팝하는 명령을 예시한 것이다.

바람직한 실시예에 따른 스택 포인터 제어 회로(200b)는 도 3에 도시된 스택 포인터 제어 회로(200a)보다 회로 구성이 간단하므로 하드웨어 구성면적을 줄일 수 있고, 소비 전력을 감소시키는 장점이 있다.

상술한 바와 같이, 본 발명에 따른 스택은 비트 폭이 8 비트였으나, 16 비트, 32 비트와 같이 확장이 가능하다. 스택의 비트 폭이 16 비트인 경우, 32 비트의 데이터 또는 어드레스를 16 비트씩 병렬로 스택에/으로부터 푸시/팝 가능하다.

이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

이상과 같은 본 발명에 의하면, 비트 폭이 N 비트인 스택을 구비한 전자 장치에서 (2*N) 비트의 데이터 또는 어드레스를 N 비트씩 병렬로 스택에/으로부터 푸시/팝할 수 있다. 그 결과, (2*N) 비트의 데이터 또는 어드레스를 비트 폭이 N 비트인 스택에/으로부터 푸시/팝해야 하는 전자 장치의 성능을 향상시킨다.

【특허청구범위】

【청구항 1】

전자 장치에 있어서,

외부로부터 입력되는 명령어를 디코딩하여 그에 대응하는 제어 신호를 출력하는 명령어 디코더와;

데이터 또는 어드레스를 저장하는 레지스터와;

비트 폭이 N 비트이고, 스택 포인터의 최하위 비트의 값에 따라 제 1 영역과 제 2 영역으로 분리되는 스택과;

상기 스택의 톱 위치를 지정하는 메인 스택 포인터를 저장하는 메인 스택 포인터 레지스터 및;

상기 명령어 디코더로부터 상기 스택에/으로부터 상기 데이터 또는 어드레스를 푸시/팝하기 위한 스택 명령어에 대응하는 상기 제어 신호가 입력될 때, 상기 제어 신호에 대응하는 값을 상기 메인 스택 포인터에 가/감산하여 상기 스택의 제 1 영역 및 제 2 영역의 톱 위치를 각각 지정하는 제 1 및 제 2 스택 포인터를 출력하는 스택 포인터 제어 수단을 포함하되,

상기 제어 신호가 $(2*N)$ 비트의 상기 데이터 또는 어드레스를 처리하기 위한 제어 신호일 때, 상기 스택의 제 1 및 제 2 영역의 톱 위치와 상기 레지스터간의 데이터 또는 어드레스 전송을 병렬로 수행하는 것을 특징으로 하는 전자 장치.

【청구항 2】

제 1 항에 있어서,

상기 스택 포인터 제어 수단은,

상기 제 1 스택 포인터를 저장하기 위한 제 1 스택 포인터 레지스터와;

상기 제 2 스택 포인터를 저장하기 위한 제 2 스택 포인터 레지스터를 포함하는 것을 특징으로 하는 전자 장치.

【청구항 3】

제 2 항에 있어서,

상기 스택 포인터 제어 수단은,

상기 제어 신호가 N 비트 또는 $(2*N)$ 비트의 상기 데이터 또는 어드레스를 처리하기 위한 제어 신호일 때, 십진수 1 또는 2를 상기 메인 스택 포인터에 가/감산하는 가감산 수단과;

상기 제어 신호에 응답하여 상기 메인 스택 포인터 레지스터에 저장된 메인 스택 포인터와 상기 가감산 수단으로부터 출력되는 스택 포인터 가운데 하나를 선택적으로 출력하는 제 1 선택 수단과;

상기 선택 수단으로부터 출력되는 스택 포인터의 값을 1 만큼 증가시키는 증가기와;

제 1 및 제 2 선택 신호에 응답하여 상기 선택 수단과 상기 증가기로부터 입력되는 스택 포인터를 선택적으로 상기 제 1 및 제 2 스택 포인터 레지스터로 출력하는 제 2 선택 수단과;

상기 선택 수단으로부터 출력되는 스택 포인터와 상기 제어 신호를 입력받아 그에 대응하는 상기 제 1 및 제 2 선택 신호를 출력하는 선택 신호 제어 수단을 포함하

는 것을 특징으로 하는 전자 장치.

【청구항 4】

제 3 항에 있어서,

상기 제 2 선택 수단은,

상기 제 1 선택 신호에 응답하여, 상기 선택 수단과 상기 증가기로부터 입력되는 스택 포인터를 선택적으로 상기 제 1 스택 포인터 레지스터로 출력하는 제 1 스택 포인터 선택 수단과;

상기 제 2 선택 신호에 응답하여, 상기 선택 수단과 상기 증가기로부터 입력되는 스택 포인터를 선택적으로 상기 제 2 스택 포인터 레지스터로 출력하는 제 2 스택 포인터 선택 수단을 포함하는 것을 특징으로 하는 전자 장치.

【청구항 5】

제 4 항에 있어서,

상기 제 1 스택 포인터 선택 수단은,

상기 제 1 선택 신호가, 상기 제 1 선택 수단으로부터 출력되는 스택 포인터가 상기 스택의 제 1 영역을 지정함을 나타낼 때, 상기 제 1 선택 수단으로부터 입력되는 스택 포인터를 선택하고,

상기 제 2 선택 신호가, 상기 제 1 선택 수단으로부터 출력되는 스택 포인터가 상기 스택의 제 2 영역을 지정하고 상기 제어 신호가 $(2*N)$ 비트의 데이터 또는 어드레스를 처리하기 위한 제어 신호임을 나타낼 때, 상기 증가기로부터 입력되는 스택 포인터를 선택하여 상기 제 1 스택 포인터 레지스터로 출력하는 것을 특징으로 하

는 전자 장치.

【청구항 6】

제 4 항에 있어서,

상기 제 2 스택 포인터 선택 수단은,

상기 제 2 선택 신호가, 상기 제 1 선택 수단으로부터 출력되는 스택 포인터가 상기 스택의 제 2 영역을 지정함을 나타낼 때, 상기 제 1 선택 수단으로부터 입력되는 스택 포인터를 선택하고,

상기 제 2 선택 신호가, 상기 제 1 선택 수단으로부터 출력되는 스택 포인터가 제 1 영역을 지정하고 상기 제어 신호가 (2*N) 비트의 데이터 또는 어드레스를 처리하기 위한 제어 신호임을 나타낼 때, 상기 증가기로부터 입력되는 스택 포인터를 선택하여 상기 제 2 스택 포인터 레지스터로 출력하는 것을 특징으로 하는 전자 장치.

【청구항 7】

제 3 항에 있어서,

상기 메인 스택 포인터 레지스터는 상기 가감산 수단으로부터 출력되는 스택 포인터로 업데이트되는 것을 특징으로 하는 전자 장치.

【청구항 8】

제 3 항에 있어서,

상기 스택 포인터 제어 수단은,

상기 제어 신호가 상기 스택에/으로부터 상기 데이터 또는 어드레스를 푸시/팝하기

위한 제어 신호일 때, 상기 메인 스택 포인터의 상위 (N-1) 비트의 스택 포인터에 1 만큼 가/감산하는 증감기와;

제 1 선택 신호에 응답하여 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 (N-1) 비트와 상기 증감기로부터 입력되는 스택 포인터를 선택적으로 상기 메인 스택 포인터 레지스터로 출력하는 제 1 선택 수단과;

제 2 및 제 3 선택 신호에 응답하여, 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 (N-1) 비트와 상기 증감기로부터 입력되는 스택 포인터를 선택적으로 상기 제 1 및 제 2 스택 포인터 레지스터로 출력하는 제 2 선택 수단 및;

상기 메인 스택 포인터의 최하위 비트의 값과 상기 제어 신호를 입력받아 그에 대응하는 상기 제 1, 제 2 및 제 3 선택 신호를 출력하는 선택 신호 제어 수단을 포함하는 것을 특징으로 하는 전자 장치.

【청구항 9】

제 8 항에 있어서,

상기 스택은,

상기 메인 스택 포인터의 최하위 비트의 값이 1 인 영역을 제 1 영역으로,

상기 메인 스택 포인터의 최하위 비트의 값이 0 인 영역을 제 2 영역으로 분리되는 것을 특징으로 하는 전자 장치.

【청구항 10】

제 9 항에 있어서,

상기 제 1 선택 수단은,

상기 메인 스택 포인터가 상기 스택의 제 1 영역을 지정하고, 상기 제어 신호가 N 비트의 데이터 또는 어드레스를 상기 스택으로부터 뽑하기 위한 신호임을 나타내는 상기 제 1 선택 신호가 입력되거나, 상기 메인 스택 포인터가 상기 스택의 제 2 영역을 지정하고, 상기 제어 신호가 N 비트의 데이터 또는 어드레스를 상기 스택에 푸시하기 위한 신호임을 나타내는 상기 제 1 선택 신호가 입력될 때, 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 (N-1) 비트를 선택하고, 그 밖의 경우를 나타내는 상기 제 1 선택 신호가 입력될 때, 상기 증감기로부터 입력되는 스택 포인터를 선택하여 상기 메인 스택 포인터 레지스터로 출력하는 것을 특징으로 하는 전자 장치.

【청구항 11】

제 9 항에 있어서,

상기 제 2 선택 수단은,

상기 제 2 선택 신호에 응답하여, 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 (N-1) 비트와 상기 증감기로부터 입력되는 스택 포인터를 선택적으로 상기 제 1 스택 포인터 레지스터로 출력하는 제 1 스택 포인터 선택 수단과;

상기 제 3 선택 신호에 응답하여, 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 (N-1) 비트와 상기 증감기로부터 입력되는 스택 포인터를 선택적으로 상기 제 2 스택 포인터 레지스터로 출력하는 제 2 스택 포인터 선택 수단을

포함하는 것을 특징으로 하는 전자 장치.

【청구항 12】

제 11 항에 있어서,

상기 제 1 스택 포인터 선택 수단은,

상기 제어 신호가 상기 스택에 상기 데이터 또는 어드레스를 푸시하는 명령어임을 나타내는 상기 제 2 선택 신호가 입력될 때, 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 (N-1) 비트를 선택하고,

상기 제어 신호가 상기 스택으로부터 상기 데이터 또는 어드레스를 팝하는 명령어임을 나타내는 상기 제 2 선택 신호가 입력될 때, 상기 증감기로부터 입력되는 스택 포인터를 선택하여 상기 제 1 스택 포인터로 출력하는 것을 특징으로 하는 전자 장치.

【청구항 13】

제 11 항에 있어서,

상기 제 2 스택 포인터 선택 수단은,

상기 메인 스택 포인터가 상기 스택의 제 1 영역을 지정하고, 상기 제어 신호가 상기 스택으로부터 상기 데이터 또는 어드레스를 팝하는 명령어임을 나타내는 상기 제 3 선택 신호가 입력되거나, 상기 메인 스택 포인터가 상기 스택의 제 1 영역을 지정하고, 상기 제어 신호가 상기 스택으로부터 상기 데이터 또는 어드레스를 푸시하는 명령어임을 나타내는 상기 제 3 선택 신호가 입력될 때, 상기 메인 스택 포인터 레지스터로부터 입력되는 스택 포인터의 상위 (N-1) 비트를 선택하고,

상기 메인 스택 포인터가 상기 스택의 제 1 영역을 지정하고, 상기 제어 신호가 상기 스택에 상기 데이터 또는 어드레스를 푸시하는 명령어임을 나타내는 상기 제 3 선택 신호가 입력되거나, 상기 메인 스택 포인터가 상기 스택의 제 2 영역을 지정하고, 상기 제어 신호가 상기 스택으로부터 상기 데이터 또는 어드레스를 팝하는 명령어임을 나타내는 상기 제 3 선택 신호가 입력될 때, 상기 증감기로부터 입력되는 스택 포인터를 선택하여 상기 제 2 스택 포인터 레지스터로 출력하는 것을 특징으로 하는 전자 장치.

【청구항 14】

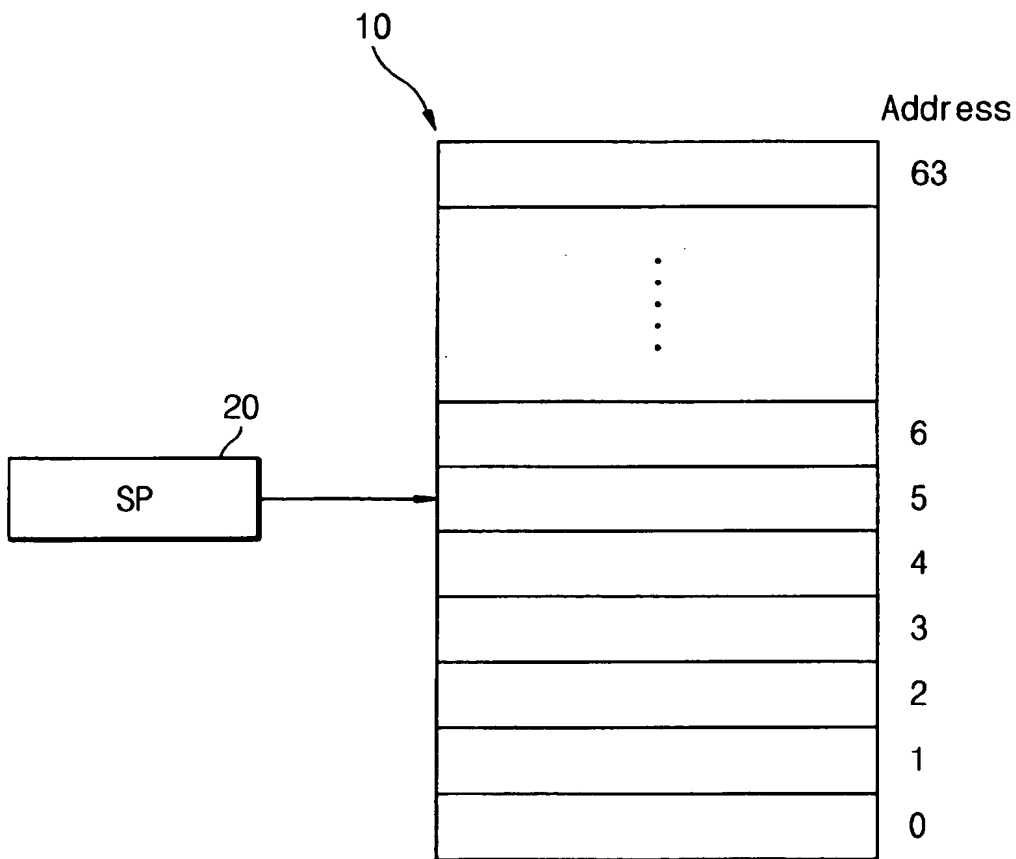
제 9 항에 있어서,

상기 메인 스택 포인터 레지스터의 최하위 비트는 상기 제어 신호가 N 비트의 상기 어드레스 및 데이터를 처리하는 명령어일 때 토글되는 것을 특징으로 하는 전자 장치.

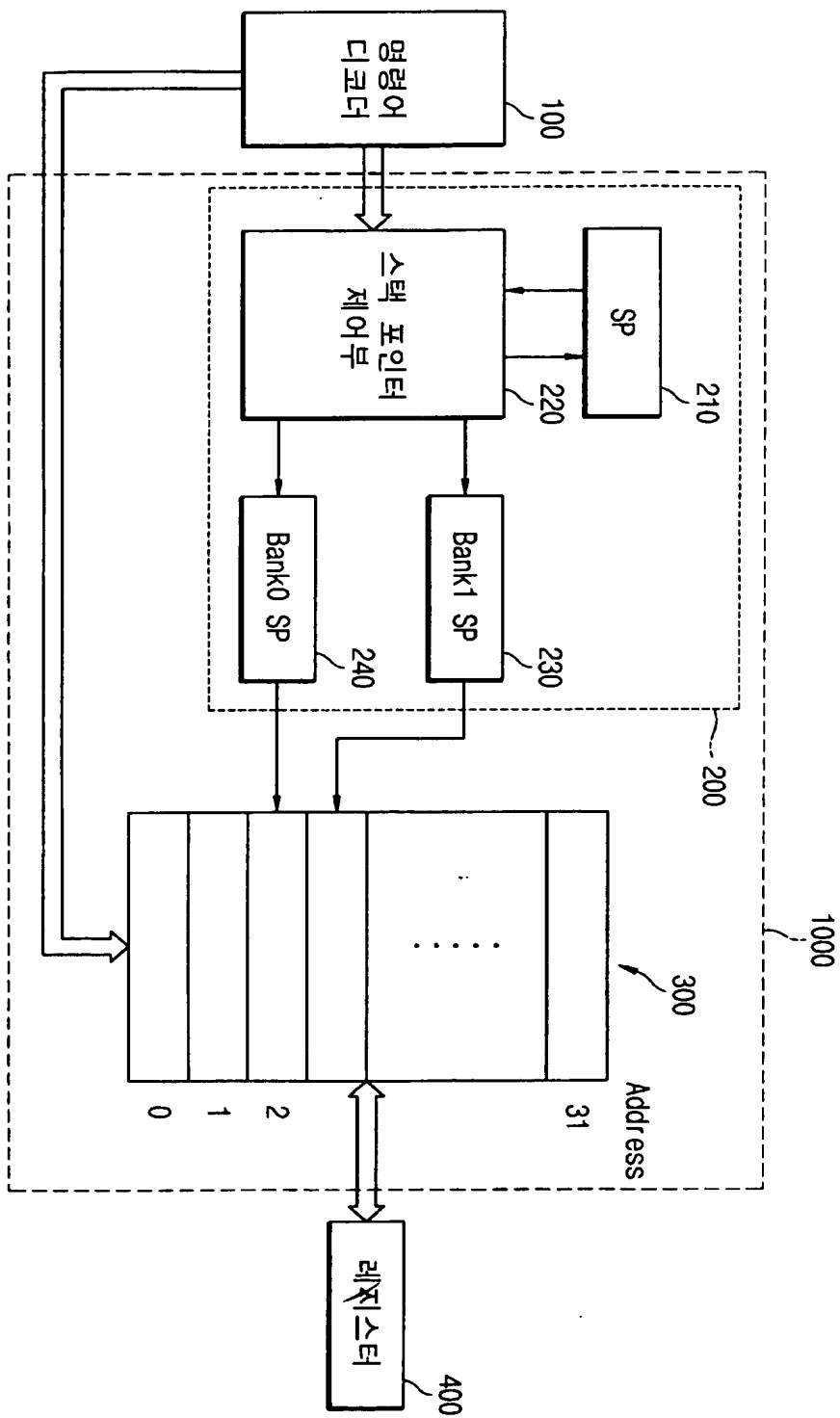
【도면】

【도 1】

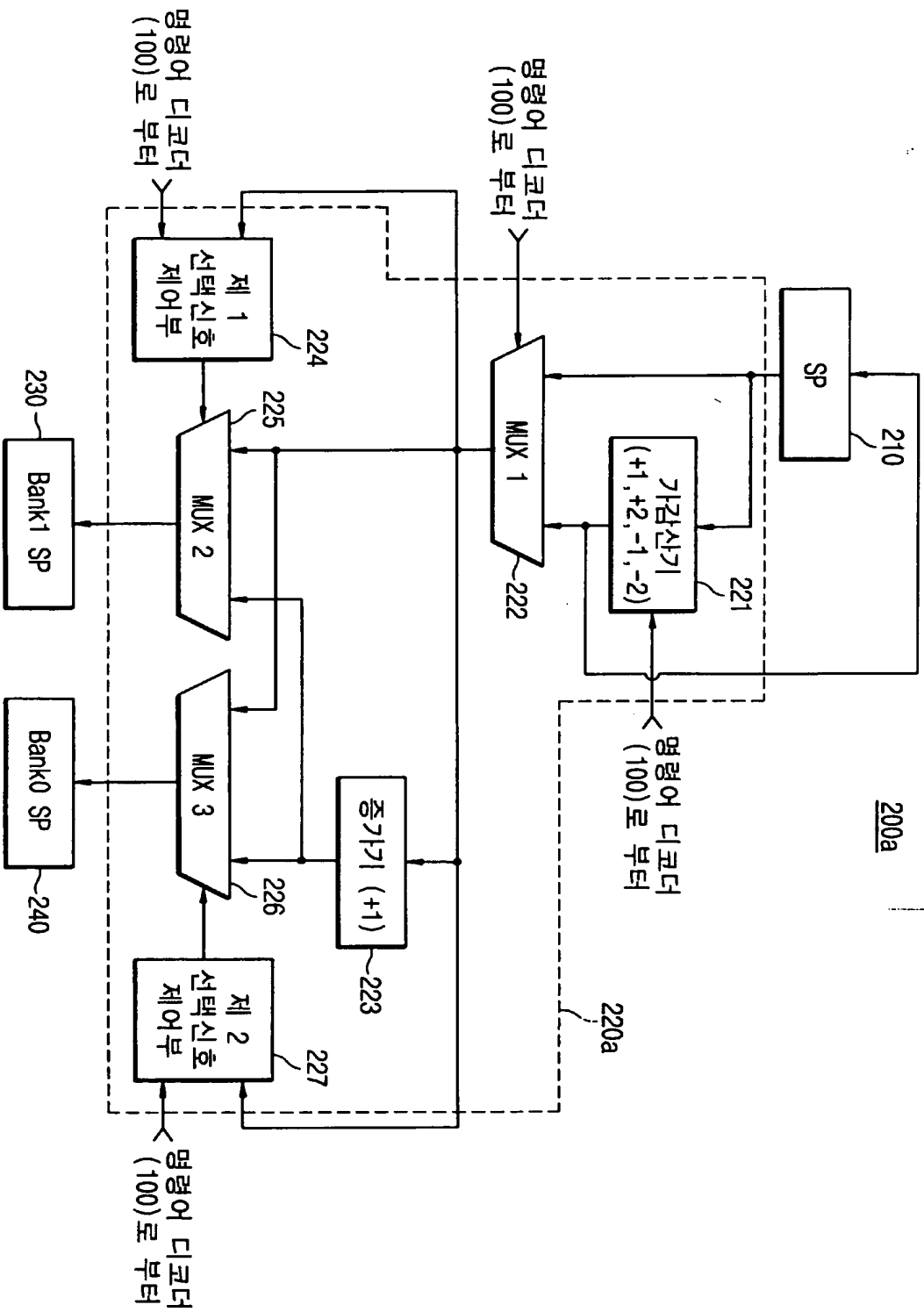
(종래기술)



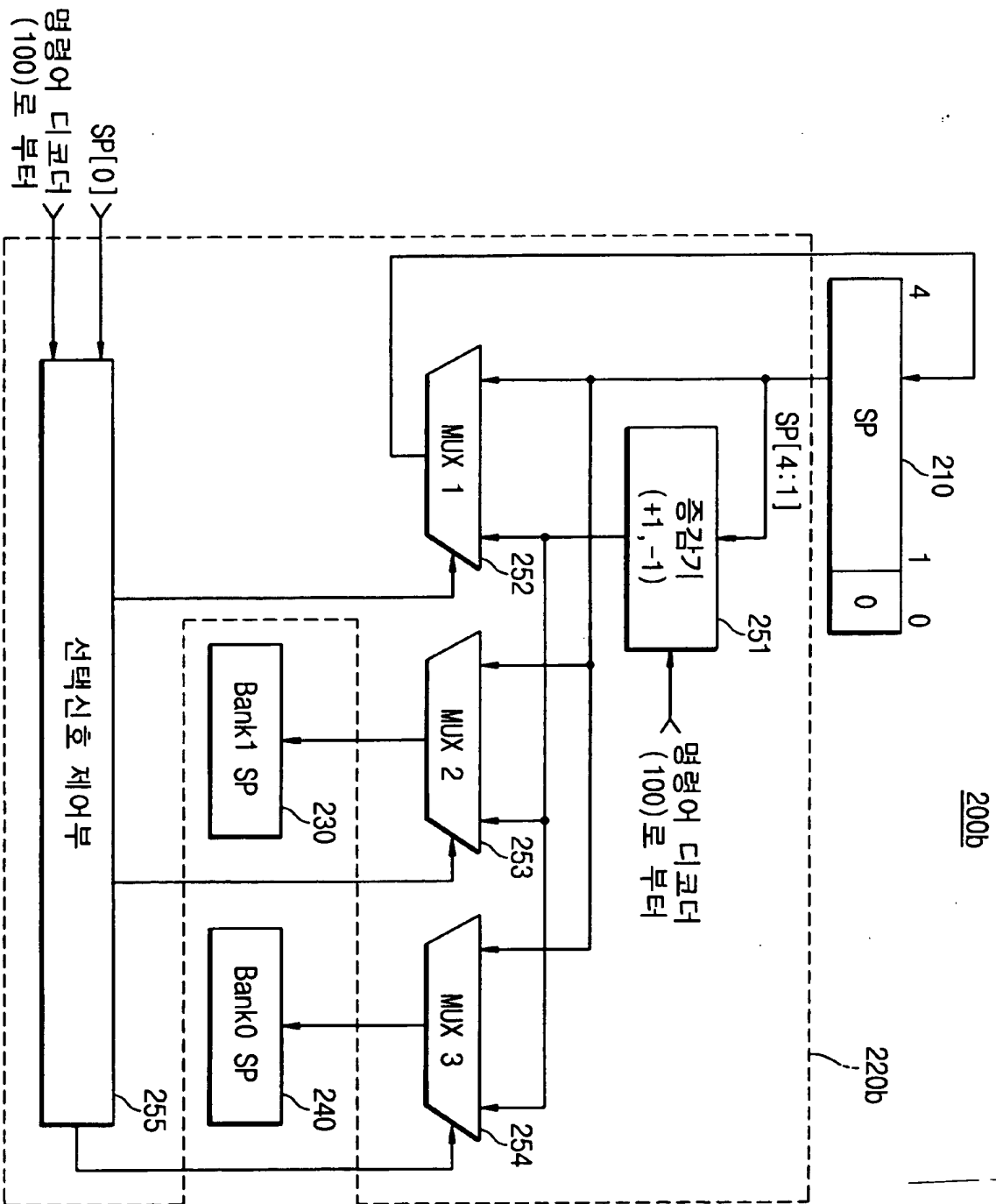
【도 2】



【도 3】



【도 4】



【도 5a】

Instruction	Bank1 포인터	Bank0 포인터	스택 포인터[4:1]	스택 포인터[0]
Push	SP	SP	SP	toggle
Call	SP	SP	SP+1	-
Pop	SP-1	SP-1	SP-1	toggle
Retern	SP-1	SP-1	SP-1	-

【도 5b】

Instruction	Bank1 포인터	Bank0 포인터	스택 포인터[4:1]	스택 포인터[0]
Push	SP	SP+1	SP+1	toggle
Call	SP	SP+1	SP+1	-
Pop	SP-1	SP	SP	toggle
Retern	SP-1	SP	SP-1	-